

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

CLIPPEDIMAGE= JP408204159A  
PAT-NO: JP408204159A  
DOCUMENT-IDENTIFIER: JP 08204159 A  
TITLE: SEMICONDUCTOR NONVOLATILE STORAGE DEVICE

PUBN-DATE: August 9, 1996

INVENTOR-INFORMATION:

NAME

NISHIHARA, TOSHIYUKI

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP07010950

APPL-DATE: January 26, 1995

INT-CL (IPC): H01L027/115; H01L027/10 ; H01L021/8247 ;  
H01L029/788  
; H01L029/792

ABSTRACT:

PURPOSE: To enable solving a problem of interference noise between bit lines without complicating constitution, e.g. increasing the number of manufacturing processes, reducing parasitic resistance of source lines, and improving reading speed.

CONSTITUTION: Each of the conducting layers 11 and 12 which constitute bit lines B/L and source lines S/L are arranged on a semiconductor substrate on which memory transistors Tr are formed, so as to alternately run in the direction which intersects word lines W/L, e.g. the vertical direction.

COPYRIGHT: (C)1996, JPO

between bit-line, and  
enables writing all channels through tunnel current.  
Prevents degradation  
redn. of gate insulating film. Enables reducing  
distribution resistance e.g.  
parasitic resistance of source line. Improves reading  
speed of non-volatile  
memory.

CHOSEN-DRAWING: Dwg.1/13

TITLE-TERMS:

NON VOLATILE SEMICONDUCTOR MEMORY ELECTRIC ERASE PROGRAM  
ROM WORD LINE FORMING  
SEMICONDUCTOR SUBSTRATE MEMORY TRANSISTOR PERPENDICULAR  
INTERSECT BIT LINE  
SOURCE LINE FORMING ELECTRIC CONDUCTING LAYER ALTERNATE

ADDL-INDEXING-TERMS:

EEPROM

DERWENT-CLASS: U13 U14

EPI-CODES: U13-C04B2; U14-A03B7; U14-C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1996-352524

DERWENT-ACC-NO: 1996-418271  
DERWENT-WEEK: 199642  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Non-volatile semiconductor memory e.g. electrically erasable programmable ROM - has word line formed on semiconductor substrate in which memory transistor is provided, which perpendicularly intersects with bit-line and source line formed on electrically conductive layer alternately

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1995JP-0010950 (January 26, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 08204159 A	August 9, 1996	N/A
008	H01L 027/115	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP08204159A	N/A	1995JP-0010950
January 26, 1995		

INT-CL (IPC): H01L021/8247; H01L027/10 ; H01L027/115 ;  
H01L029/788 ;  
H01L029/792

ABSTRACTED-PUB-NO: JP08204159A

BASIC-ABSTRACT: The memory includes a laminated electrically conductive layer (11,12) in which a bit-line (B/L) and a source line (S/L) are arranged alternately . The bit-line and the source line are perpendicularly intersected at the direction of a word line (W/L) formed on the semiconductor substrate in which a memory transistor (Tr) formed.

ADVANTAGE - Prevents generation of interference noise

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204159

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115

27/10

4 7 1

21/8247

H 0 1 L 27/ 10

4 3 4

29/ 78

3 7 1

審査請求 未請求 請求項の数6 O L (全 8 頁) 最終頁に続く

(21) 出願番号

特願平7-10950

(22) 出願日

平成7年(1995)1月26日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西原 利幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

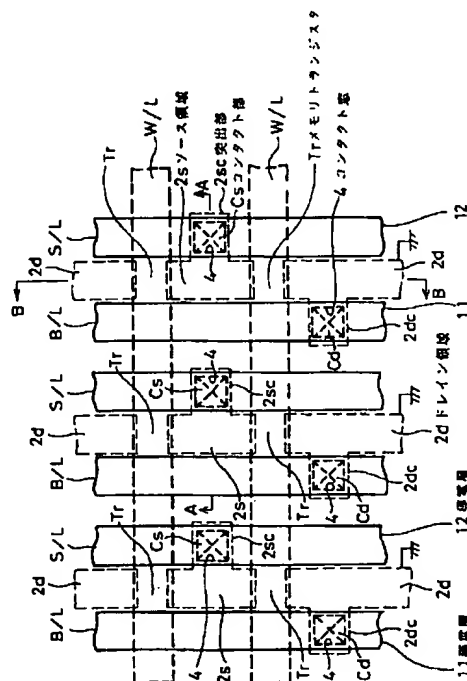
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体不揮発性メモリ装置

(57) 【要約】

【目的】 半導体不揮発性メモリ装置において、その構成の複雑化したがって製造工程数の増加を来すことなく、上述したビット線B/L間の干渉雑音の問題を解消でき、更にソース線の寄生抵抗の低減化をはかることができ、読み出し速度の改善をはかることができるようにする。

【構成】 メモリトランジスタTrが形成された半導体基板上にビット線B/Lとソース線S/Lとを構成する各導電層11および12が、ワード線W/Lと交叉する方向例えば垂直方向に交互に並走するように配置された構成とする。



## 【特許請求の範囲】

【請求項1】 メモリトランジスタが形成された半導体基板上にそれぞれ積層して形成された導電層によるビット線とソース線とが、ワード線と交叉する方向に、交互に並走するように配置されてなることを特徴とする半導体不揮発性メモリ装置。

【請求項2】 上記並走するソース線とこれに隣り合うビット線に、上記メモリトランジスタを構成するソース領域とドレイン領域とがそれぞれオーミックにコンタクトするように上記並走するソース線およびビット線の延長方向に斜めに配置されたことを特徴とする請求項1に記載の半導体不揮発性メモリ装置。

【請求項3】 上記ビット線とソース線とが、それぞれ別の導電層によって形成されたことを特徴とする請求項1または2に記載の半導体不揮発性メモリ装置。

【請求項4】 上記ソース線を構成する導電層が上記ビット線を構成する導電層より上層に形成され、上記ソース線の上記ソース領域とのオーミックコンタクト部が上記隣り合うビット線間に位置して配置されたことを特徴とする請求項3に記載の半導体不揮発性メモリ装置。

【請求項5】 上記ビット線を構成する導電層が上記ソース線を構成する導電層より上層に形成され、上記ビット線の上記ドレイン領域とのオーミックコンタクト部が上記隣り合うソース線間に位置して配置されたことを特徴とする請求項3に記載の半導体不揮発性メモリ装置。

【請求項6】 上記ソース線を構成する導電層および上記ビット線を構成する導電層が金属層もしくはポリサイド層よりなることを特徴とする請求項1、2、3、4または5に記載の半導体不揮発性メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体不揮発性メモリ装置に係わる。

## 【0002】

【従来の技術】近年、携帯用情報端末機器の普及発展に伴って、その外部記憶装置として大容量EEPROM (Electrically Erasable Programmable Read Only Memory) の必要性が高まっている。

【0003】図11は、このEEPROMの要部の概略構成を示す平面図で、図12はそのA-A線上の概略断面図を示す。このEEPROMは、図13にその等価回路を示すように、フローティングゲート形のメモリトランジスタTrが、半導体基板1例えばシリコン基板に形成される。このメモリトランジスタTrは、半導体基板1の一主面にゲート絶縁膜21を介してフローティングゲート22と、更にこれの上に強誘電体層23を介してコントロールゲート24が形成されたゲート部が形成され、このゲート部を挟んでその両側にソース領域2sと

ドレイン領域2dが半導体基板1の上述の一主面に臨んで不純物のドーピング例えばイオン注入によって形成された半導体領域によって形成されてなる。

【0004】そして、この場合ソース領域2sの延長部によってソース線S/Lが形成され、コントロールゲート24の延長部によってワード線W/Lが形成される。また、このメモリトランジスタTrを覆って層間絶縁層13が形成され、この層間絶縁層13のドレイン領域2d上にコンタクト窓4が穿設されてこのコンタクト窓4を通じてこのドレイン領域2dにオーミックにコンタクトして例えばポリサイド層もしくはA1等の金属層によるビット線B/Lが形成される。

【0005】この構成による場合、各ビット線B/Lに接続されたそれぞれのメモリセルは、ワード線W/Lとソース線S/Lを共有している。

## 【0006】

【発明が解決しようとする課題】ところで、このような半導体不揮発性メモリ装置において、メモリ容量の増大化に伴って、メモリセルの高密度化が図られると、例えば各ビット線B/Lの間隔も狭められて来て、各ビット線B/L間に寄生容量が発生し、これによる容量結合が問題となる。

【0007】すなわち、上述の構成による半導体不揮発性メモリ装置において、そのメモリセルからデータを読み出す際、ワード線W/Lの印加電圧を上昇させると、このワード線W/Lに接続される全てのメモリセルからデータが読み出される。このとき、例えば図11で示される3本のビット線B/Lにおいて、中央のビット線B/L上のデータが読み出しの対象であって“1”であり、これに隣り合う両側のビット線B/L上のデータが“0”である場合、図11における中央のビット線B/Lとこれに隣り合う両側のビット線B/Lとの容量結合によってこれら両側のビット線B/Lの電位が、中央のビット線B/Lの電位まで低下するという、ビット線間の干渉雑音の問題、すなわち読み出しエラーの発生の問題が生じる。

【0008】また、ソース線S/Lが、半導体領域すなわちソース領域の延長部によって構成されることから、その寄生抵抗が大きくなり、読み出し速度が低下するという問題もある。

【0009】本発明は、半導体不揮発性メモリ装置において、その構成の複雑化したがって製造工程数の増加を来すことなく、上述したビット線B/L間の干渉雑音の問題を解消でき、更にソース線の寄生抵抗の低減化もはかることができ、読み出し速度の改善をはかることができるようにするものである。

## 【0010】

【課題を解決するための手段】本発明においては、図1にその一例の構成を示す要部の概略平面図を示し、図2および図3にそれぞれ図1のA-A線上およびB-B線

上の断面図を示すように、メモリトランジスタTrが形成された半導体基板1上にそれぞれ導電層11および12によるビット線B/Lとソース線S/Lとが、ワード線W/Lと交叉する方向例えば垂直方向に交互に並走するように配置された構成とする。

【0011】

【作用】本発明構成によれば、隣り合うビット線B/L間に電位の安定したソース線S/Lが配置された構成としたことから、ビット線B/L間の干渉雑音の発生を防止できるものである。

【0012】また、同一のワード線W/Lに接続された隣り合うメモリセルのソース線S/Lが、それぞれ分離されているので、いわゆるFN（ファウラーノルドハイム）トンネル電流による全チャネルの書き込みが可能となる。これによってゲート絶縁膜の劣化低減することが可能となる。

【0013】また、本発明構成では、そのソース線S/Lが、従来のように半導体基板に形成した不純物ドーピングによる半導体領域によって構成するものでは無く導電層によって構成するのでこの導電層を低抵抗の金属層もしくはポリサイド層等によって形成することによってその分布抵抗すなわち寄生抵抗の低減化をはかることができ動作速度の高速化をはかることができる。

【0014】

【実施例】本発明の基本的構成による半導体不揮発性メモリ装置の一例を図1～図3を参照して説明する。この場合その等価回路を図4に示ようにEEPROM構成を採り、そのメモリトランジスタTrは、例えばフローティングゲート形MISFET（絶縁ゲート形電界効果トランジスタ）による。

【0015】この場合、図2および図3に示すように、このフローティングゲート形のメモリトランジスタTrは、半導体基板1例えばシリコン基板に形成される。このメモリトランジスタTrは、半導体基板1の一主面に例えばその表面の熱酸化によって形成したゲート絶縁膜21を介して例えば多結晶シリコン層によるフローティングゲート22と、更にこれの上に強誘電体層23を介してコントロールゲート24が形成されたゲート部が形成され、このゲート部を挟んで図1～図3に示すように、ソース領域2sおよびドレイン領域2dが、p型もしくはn型の不純物を例えばイオン注入して形成した半導体領域によって形成される。

【0016】共通のワード線W/Lに接続されるメモリトランジスタTrは、一方向（以下水平方向という）に各ドレイン領域2d同士、各ソース領域2sが所要の間隔を保持して配列され、これら間に、これら各トランジスタTrのコントロールゲート24が互い連結されて水平方向に延長形成される。

【0017】そして、隣り合うワード線W/L間に、これらワード線W/Lに接続される各対のトランジスタ

rのソース領域2sが共通に形成され、これら隣り合うワード線W/Lとその各反対側で隣り合うワード線W/Lとの間に、これら反対側で隣り合うワード線W/Lに接続される各対のトランジスタTrのドレイン領域2dが共通に形成される。

【0018】これら共通のソース領域2sとドレイン領域2dとはそれぞれ水平方向に互いに逆向きに突出するパターンの突出部2scと2dcとが延長形成されたT字状パターンにそれぞれ形成される。

10 【0019】各トランジスタTrのゲート部およびワード線W/Lを覆って例えばSiO<sub>2</sub>をCVD法によって形成した層間絶縁層13を全面的に形成し、この層間絶縁層13とこれの下に形成された各絶縁層（例えばゲート絶縁膜21等の形成と同時に形成された各絶縁層）を含んでフォトリソグラフィによるパターンエッチングを行って各ソース領域2sおよびドレイン領域2dのパターンの突出部2scと2dc上とにコンタクト窓4を穿設してこれらパターンの突出部2scと2dcの各一部を外部に露出する。

20 【0020】そして、それぞれ導電層12および11を、各ソース領域2sおよびドレイン領域2dのパターンの突出部2scと2dc上にコンタクト窓4を通じてオーミックコンタクトさせ層間絶縁層13上に差し渡ってワード線W/Lの上方において層間絶縁層13によってこのワード線W/Lと電氣的に絶縁されてワード線W/Lの延長方向と交叉例えば直交する方向に延長して交互に並走させてソース線S/Lおよびビット線B/Lを形成する。このようにして各ソース線S/Lおよびビット線B/Lのソース領域2sおよびドレイン領域2dのコンタクト部CsおよびCdが、隣り合う他のワード線W/L間に形成されるようにする。

30 【0021】これらビット線B/Lおよびソース線S/Lを構成する導電層11および12は、例えば同一導電層の金属層例えばA1層、もしくはポリサイド層すなわち多結晶シリコン層上に高融点金属のシリサイドの例えばWSi層が形成されたいわゆるポリサイド層を各コンタクト窓4内を含んで例えば全面的に形成し、フォトリソグラフィによるそれぞれ上述した所要のパターンにパターンエッチングすることによって同時に形成することができる。

40 【0022】上述の図1～図4で説明した本発明による半導体不揮発性メモリ装置によれば、前述したように、隣り合うビット線B/L間に電位の安定したソース線S/Lが配置された構成としたことから、ビット線B/L間の干渉雑音の発生を防止できるものである。

【0023】また、同一のワード線W/Lに接続された隣り合うメモリセルのソース線S/Lが、それぞれ分離されているので、いわゆるFN（ファウラーノルドハイム）トンネル電流による全チャネルの書き込みが可能となる。

【0024】また、本発明構成では、そのソース線S/Lが、従来のように半導体基板に形成した不純物ドーピングによる半導体領域によって構成するものでは無く導電層によって構成するのでこの導電層を低抵抗の金属層もしくはポリサイド層等によって形成することによってその分布抵抗すなわち寄生抵抗の低減化をはかることができる。

【0025】上述した例では、各ソース領域2sおよびドレイン領域2dに、それぞれソース線S/Lおよびビット線B/Lとのコンタクト部CsおよびCdを構成する突出部2scおよび2dcを形成した場合であるが、この場合ソース領域およびドレイン領域の各半導体領域の形成時にその突出部2scおよび2dcの突出基部のパターンが、図5に示すようなきれいな屈曲パターンとはならず、不純物の横方向拡散によってパターンがなだらかに彎曲するパターン崩れが生じて、ソースおよびドレイン本来の機能を持たしめるすなわちチャネル形成部に臨む幅すなわちチャネル幅がばらつくおそれがある。

【0026】このような不都合を回避するには、メモリセルの面積を大きくする必要が生じ、この場合高密度化を阻害する。

【0027】次に、このような不都合を回避することのできる本発明による半導体不揮発性メモリ装置の一例を図5〜図7を参照して説明する。すなわち、この例では、各ソース領域およびドレイン領域のパターンを直線的パターンとして、上述したコンタクト部を構成する突出部2scおよび2dcの形成を回避するものである。

【0028】図5および図6は、その構成を示す要部の概略平面図およびそのA-A線上の断面図、図7はその等価回路図で、これら図5〜図7において、図1〜図4と対応する部分には同一符号を付して重複説明を省略するが、この場合においても平行配列したワード線W/Lと直交する方向に延長する各導電層11および12よりなるソース線S/Lとビット線B/Lとを交互に並走させたパターンとするもので、この例においては、並走するソース線S/Lとこれに隣り合うビット線B/Lに、メモリトランジスタTrを構成するソース領域2sとドレイン領域2dとがそれぞれオーミックにコンタクトするように、これらソース領域2sとドレイン領域2dが、並走するソース線S/Lおよびビット線B/Lの延長方向に斜めに配置された構成とする。すなわち、図6に示すように、各ワード線W/Lに対して、互いに隣り合う1つ置き組のソース線S/Lとビット線B/L間に交互にメモリトランジスタTrが配置される構成とする。

【0029】この場合においても、図5に示すように、共通のワード線W/Lに接続されるメモリトランジスタTrのコントロールゲートを相互に連結して各ワード線W/Lを形成し、導電層11および12によるビット線

B/Lとソース線S/Lが、ワード線W/Lの延長方向と直交する方向に延長して交互に所定の間隔を保持して配列された構成とするが、この場合、隣り合うワード線W/L間に位置して、これら隣り合うワード線W/Lに接続されるトランジスタTrを構成する共通のソース領域2sを、各ソース線S/Lを構成する導電層12下の形成位置下を斜めに横切る直線的パターンに形成する。そして、これら各ソース領域2sの直線的パターンの延長線上において、各ワード線W/Lの互いに反対側に、隣り合うワード線W/L間に位置して、これら隣り合うワード線W/Lにそのコントロールゲートが接続されるトランジスタTrを構成する共通のドレイン領域2dを、各ビット線B/Lを構成する導電層11の形成位置下を斜めに横切って直線的パターンに形成する。

【0030】また、各ビット線B/Lおよびソース線S/Lと、これらの下を横切る各ドレイン領域2dおよびソース領域2sとの間に介在する層間絶縁層13等の絶縁層にコンタクト窓4を穿設し、これらコンタクト窓4を通じて各ビット線B/Lおよびソース線S/Lを構成する導電層11および12が、対応する各ドレイン領域2dおよびソース領域2sにオーミックコンタクトするようになされる。

【0031】そして、この例においても、各ビット線B/Lとソース線S/Lとが所要の間隔を保持して平面的に並走する構成とすることから、これらを構成する各導電層11および12は、同一導電層の例えばA1等の金属層あるいはポリサイド等の導電層をパターン化して同時に形成することができる。

【0032】上述した図5〜図7の構成によるときは、前述の図1〜図4で示した半導体不揮発性メモリ装置と同様の利点を有し、同時にその不都合を回避できる。すなわち、この図5のに示した例では、ソース領域2sおよびドレイン領域2dがそれぞれ直線的パターンを形成していることから前述した図1の例に比し、各パターン崩れを回避でき、チャネル幅のばらつきを回避でき、メモリトランジスタTrを均一な特性に、安定して高い信頼性をもって形成することができる。

【0033】また、上述した各例では、各ビット線B/Lとソース線S/Lとを所要の間隔を保持して並走配列したことにより、これらを平面的に形成できることから、各導電層11および12を同一導電層によって同時に形成できるものであるが、このようにビット線B/Lおよびソース線S/Lを平面的に形成する場合は、メモリセルの面積の縮小化、高密度化を充分はかることができないという不都合がある。そこで、これらビット線B/Lとソース線S/Lを構成する各導電層11および12をそれぞれ異なる別体の導電層によって層間絶縁層を介して構成し、その一部が積層ないしは平面的にみて（上方からみて）接近したパターンに形成することができ



7

【0034】例えば、ソース線S/Lを構成する導電層12が、ビット線B/Lを構成する導電層11より上層に形成され、ソース線S/Lのソース領域2sとのオーミックコンタクト部Csが、隣り合うビット線B/L間に位置して配置された構成とする。あるいはビット線B/Lを構成する導電層11が、ソース線S/Lを構成する導電層12より上層に形成され、ビット線B/Lの、ドレイン領域2dとのオーミックコンタクト部Cdが、隣り合うソース線S/L間に位置して配置された構成とする。

【0035】この場合の一例を図8および図9を参照して説明する。図8はその構成を示す概略平面図で、図9はそのA-A線上の断面図を示す。これら図8および図9において図5および図6と対応する部分には同一符号を付して重複説明を省略するが、この例では、そのワード線W/Lと交叉する方向に延長して形成され、互いに交互に並走させるビット線B/Lとソース線S/Lとを、互いに別の導電層すなわち別工程で形成される導電層11および12によって互いに層間絶縁層によって電気的に絶縁された状態で、上方からみて一部重なり合うか充分近接した間隔をもって形成する。すなわち、半導体基板1に形成したメモリトランジスタTr上を覆って層間絶縁層13を形成し、これのドレイン領域2d上にコンタクト窓4を穿設する。そして、このコンタクト窓4を通じてドレイン領域2dにオーミックコンタクトさせて例えばポリサイド層等による導電層11を全面的に形成し、パターンエッチングしてビット線B/Lを、ワード線W/Lと交叉例えば垂直をなす方向に延長してストライプ状に形成する。

【0036】その後、このビット線B/L、すなわち導電層11を覆って同様に例えばSiO<sub>2</sub>による層間絶縁層13をCVD法等によって形成する。そして、各ビット線B/L間においてこれらと接することなくソース領域2s上の層間絶縁層13にコンタクト窓4を穿設し、このコンタクト窓4を通じてソース領域2sにオーミックコンタクトさせて例えばA1等の金属層もしくはポリサイド層等による導電層12を全面的に形成し、パターンエッチングしてソース線S/Lを、ワード線W/L上にこれと交叉例えば垂直をなす方向に延長してストライプ状に形成する。

【0037】図8および図9で示した例においては、ビット線B/Lを構成する導電層11を下層導電層として、これの上に層間絶縁層13を介して上層導電層としてソース線S/Lを構成する導電層12を形成するようにした場合であるが、図10にその一例の要部の概略断面図を示すように、ビット線B/Lすなわち導電層11と、ソース線S/Lすなわち導電層12との上下関係を、図8および図9で説明したとは逆の配置関係とすることもできる。

【0038】すなわち、この場合、図10に示すよう

8

に、半導体基板1に形成したメモリトランジスタTr上を覆って層間絶縁層13を形成し、これのソース領域2s上にコンタクト窓4を穿設する。そして、このコンタクト窓4を通じてソース領域2sにオーミックコンタクトさせて例えばポリサイド層等による導電層12を全面的に形成し、パターンエッチングしてソース線S/Lを、ワード線W/Lと交叉例えば垂直をなす方向に延長してストライプ状に形成する。

【0039】その後、このソース線S/L、すなわち導電層12を覆って同様に例えばSiO<sub>2</sub>による層間絶縁層13をCVD法等によって形成する。そして、各ソース線S/L間においてこれらと接することなくドレイン領域2d上の層間絶縁層13にコンタクト窓4を穿設し、このコンタクト窓4を通じてドレイン領域2dにオーミックコンタクトさせて例えばA1等の金属層もしくはポリサイド層等による導電層11を全面的に形成し、パターンエッチングしてビット線B/Lを、ワード線W/L上にこれと交叉例えば垂直をなす方向に延長してストライプ状に形成する。

【0040】これら図8および図9に示した例、図10に示した例のいずれにおいても、図5で示した例と同様にソース領域2sおよびドレイン領域2dのパターン崩れを回避できてトランジスタの特性のばらつきを回避できる。そして、その各ビット線B/Lとソース線S/Lとが平面的にみて充分近接して、あるいは一部積層して形成されることから、メモリセルの面積の縮小化をはかることができる。そして、このような構成とする場合においても、隣り合うビット線B/L間に電位の安定したソース線S/Lが実質的に配置された構成としたことから、ビット線B/L間の干渉雑音の発生を防止できるものである。

【0041】尚、上述した例においては、コンタクト窓4内を含んで各導電層11および12を形成して直接的にドレイン領域およびソース領域の突出部2dcおよび2scにオーミックコンタクトさせた場合であるが、各コンタクト窓内にいわゆるメタルプラグを充填してこれを介して各導電層11および12のオーミックコンタクトを行うようにすることもできるなど、上述した例に限らず種々の構成をとることができる。

【0042】

【発明の効果】上述したように、本発明構成によれば、隣り合うビット線B/L間に電位の安定したソース線S/Lが配置された構成としたことから、ビット線B/L間の干渉雑音の発生を防止できるものである。

【0043】また、同一のワード線W/Lに接続された隣り合うメモリセルのソース線S/Lが、それぞれ分離されているので、いわゆるFN（ファウラーノルドハイム）トンネル電流による全チャネルの書き込みが可能となる。これによってゲート絶縁膜の劣化低減することが可能となる。

【0044】また、本発明構成では、そのソース線S/Lが、従来のように半導体基板に形成した不純物ドーピングによる半導体領域によって構成するものではなく導電層によって構成するのでこの導電層を低抵抗の金属層もしくはポリサイド層等によって形成することによってその分布抵抗すなわち寄生抵抗の低減化をはかることができる。でき読み出し速度の高速化をはかることができる。

【図面の簡単な説明】

【図1】本発明による半導体不揮発性メモリ装置の一例の構成を示す概略平面図である。

【図2】図1のA-A線上的断面図である。

【図3】図1のB-B線上的断面図である。

【図4】本発明による半導体不揮発性メモリ装置の一例の等価回路図である。

【図5】本発明による半導体不揮発性メモリ装置の他の例の構成を示す概略平面図である。

【図6】図5のA-A線上的断面図である。

【図7】本発明による半導体不揮発性メモリ装置の上記他の例の等価回路図である。

【図8】本発明による半導体不揮発性メモリ装置の更に他の例の構成を示す概略平面図である。

【図9】図8のA-A線上的断面図である。

【図10】本発明による半導体不揮発性メモリ装置の他の例の要部の概略断面図である。

【図11】従来の半導体不揮発性メモリ装置の構成を示す概略平面図である。

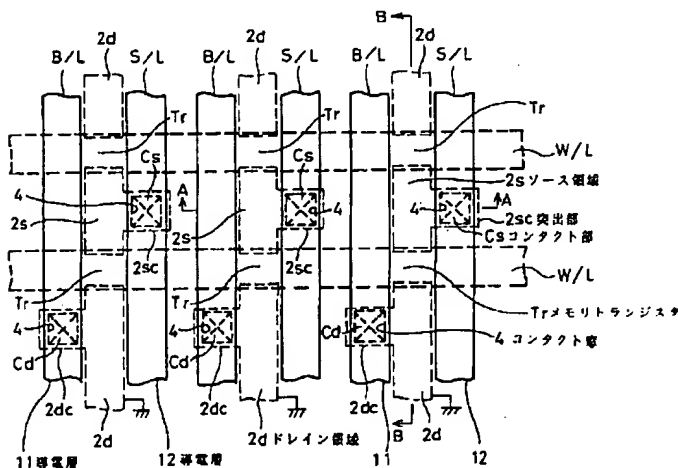
【図12】図11のA-A線上的断面図である。

【図13】従来の半導体不揮発性メモリ装置の等価回路図である。

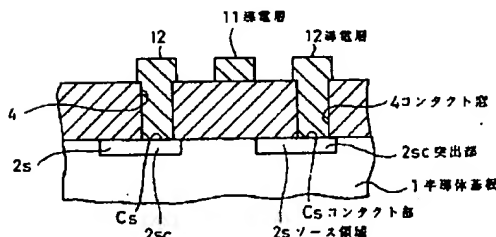
【符号の説明】

- |        |            |
|--------|------------|
| 1      | 半導体基板      |
| 2s     | ソース領域      |
| 2d     | ドレイン領域     |
| 4      | コンタクト窓     |
| 11, 12 | 導電層        |
| 13     | 層間絶縁層      |
| 21     | ゲート絶縁膜     |
| 22     | フローティングゲート |
| 23     | 強誘電体膜      |
| 24     | コントロールゲート  |
| S/L    | ソース線       |
| B/L    | ビット線       |
| W/L    | ワード線       |
| Tr     | メモリトランジスタ  |

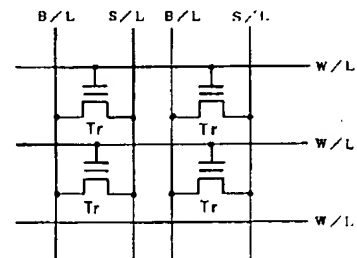
【図1】



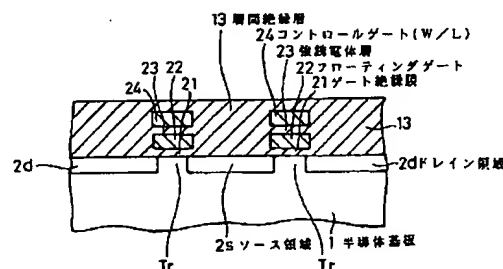
【図2】



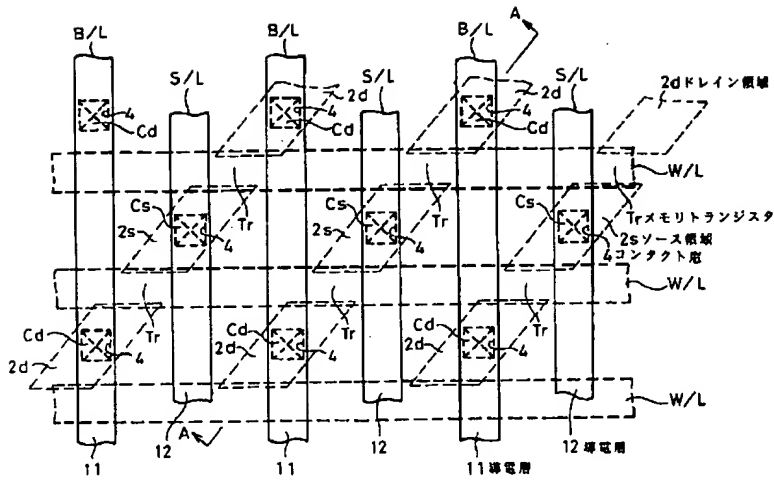
【図4】



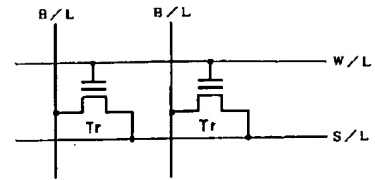
【図3】



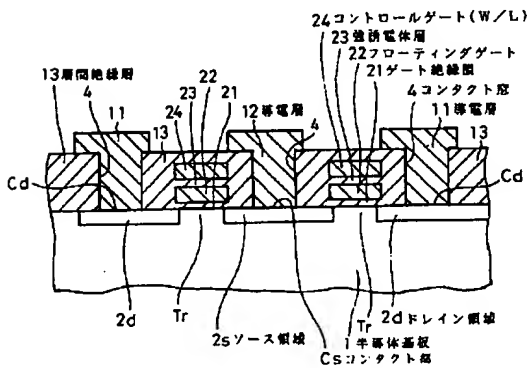
【図5】



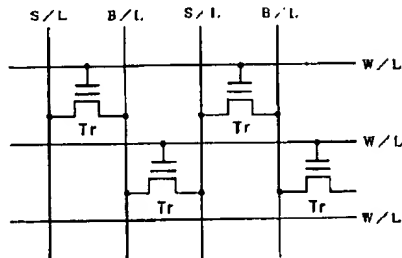
【図13】



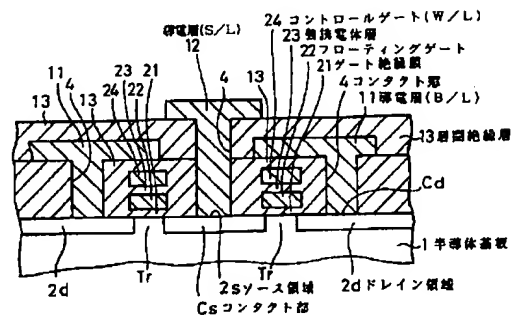
【図6】



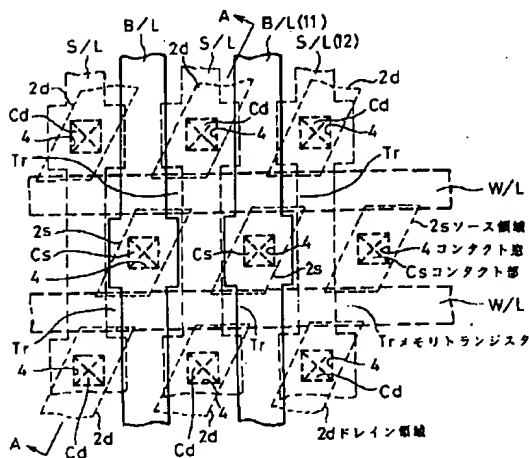
【図7】



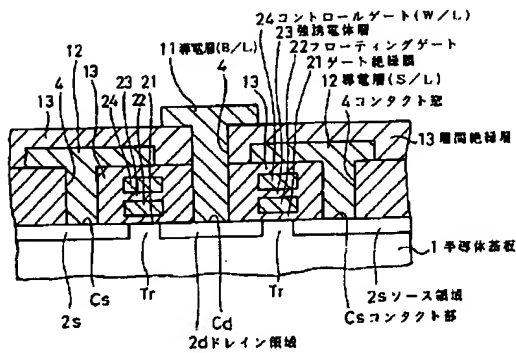
【図9】



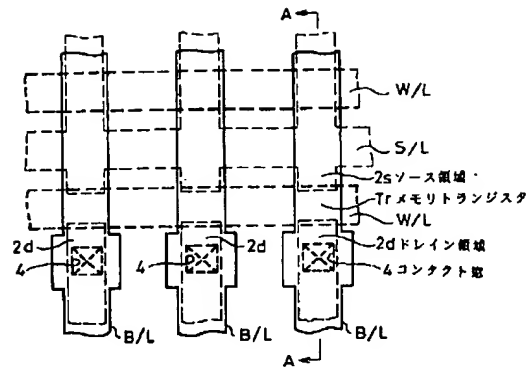
【図8】



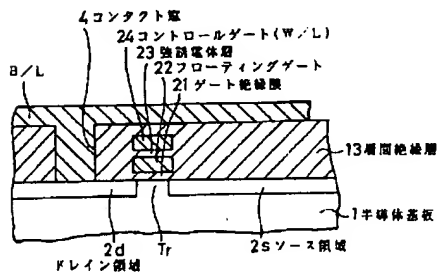
【図10】



【図11】



【図12】



フロントページの続き

(51)Int. Cl.<sup>6</sup>  
H01L 29/788  
29/792

識別記号 庁内整理番号

F I

技術表示箇所